



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05343979 A

(43) Date of publication of application: 24.12.93

(51) Int. Cl.

H03K 19/0185

H03K 5/02

(21) Application number: 04152378

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 11.06.92

(72) Inventor: HASHIMOTO MASAMI

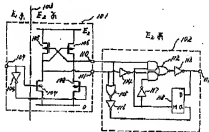
(54) HIGH SPEED LEVEL SHIFT CIRCUIT

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a level shift circuit with low current consumption together with high response by using a high speed signal selection circuit to select a falling signal with high response because falling of 1st and 2nd outputs of the level shift circuit is fast.

CONSTITUTION: The waveform of a 1st output signal 110 and a 2nd output signal 111 of the level shift circuit 101 has a fast falling response and a slow rising response. A latch circuit 118 stores the preceding state and the signal is shared by a signal M of the circuit 118 and an inverter circuit 117. Furthermore, the preceding state is selected and synthesized by an AND, AND, NOR circuit 112. Thus, the signal at a 1st output terminal 110 and a 2nd output terminal 111 of the circuit 101 has a fast falling signal and a slow rising signal. However, the signal with both fast rising and falling passing through a high speed signal selection circuit 102 is obtained from an output terminal 119. Furthermore, the response to rising and falling is fast regardless of low current consumption.



P43960DE ①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-343979

(43) 公開日 平成5年(1993)12月24日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0185			
5/02		L 7402-5J		
		8941-5J	H 0 3 K 19/00	1 0 1 E

審査請求 未請求 請求項の数1(全8頁)

(21) 出願番号 特願平4-152378

(22) 出願日 平成4年(1992)6月11日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 橋本 正美

長野県諏訪市大和3丁目3番5号セイコー
エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

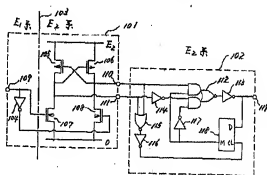
(54) 【発明の名称】 高速レベルシフト回路

(57) 【要約】

【目的】 絶縁ゲート電界効果型トランジスタを用い、かつ複数の電源系を持つ集積回路において、異なった電源系の信号をやりとりするレベルシフト回路において、低消費電流で応答性の高いレベルシフト回路を提供する。

【構成】 立ち下がり速いが、立ち上がり遅いという特徴を持ったレベルシフト回路と、ラッチ回路と選択回路とを内部に有する高速信号選択回路を組み合わせた。この構成より、レベルシフト回路の第1、第2の出力は共に立ち上がりは遅いが、立ち下がり速いので、それら応答性の速い立ち下がり信号を高速信号選択回路によって選択して出力する。

【効果】 低消費電流でありながら、立ち下がりも、立ち上がりも応答の速い高速レベルシフト回路が実現する。



【特許請求の範囲】

【請求項1】 a) 第1の極性の第1の電位E1と第1の極性の第2の電位E2と、第2の極性の基準電位0とを電源として有する半導体集積回路において、

b) 基準電位0と電位E1との間で動作する入力信号端子と、基準電位0と電位E1との間で動作する前記入力信号端子の反転信号を作る反転回路と、ソース電極がE2の電源端子に接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくともも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0とE1との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0とE1との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたことからなるレベルシフト回路と、

c) 前記レベルシフト回路の第1の出力信号端子と第2の出力信号端子を入力し、直前の状態を記憶したラッチ回路と信号を選択する選択回路とを内部に有し、高速の信号を選択出力する高速信号選択回路から構成されていることを特徴とする高速レベルシフト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）を用い、かつ複数の電源系を持つ集積回路において、異なる電源系の信号をやりとりするレベルシフト回路を高速に動作させる技術に関するものである。

【0002】

【従来の技術】 集積回路においては、例えば液晶を用いた表示回路を駆動するときには昇圧回路を用いて高い電圧を作る場合があり、また低消費電流の回路を得るために低い電圧の定電圧回路を用いる場合等があって集積回路内部において異なる電圧で動作している回路が混在していることが多々ある。そしてこれらの回路は互いに信号が往々来していることが一般的であるが、低い電圧系の回路の信号で高い電圧系の回路を動かす場合にはそれらを結合する回路が必要となる。そしてこの回路をレベルシフト回路と呼ぶ。レベルシフト回路において主な問題の特性は消費電流と高速応答特性であり、その観点からレベルシフト回路は次第に改良されてきた。図7～図9は従来のレベルシフト回路の例であり、古い順に並べ

てある。つまり順に改良の歴史でもある。図7は西独特許公開2154877（DE、A）の回路であり、図8は日本国特許公開57-78227の回路であり、図9は日本国特許公告57-59690の回路である。以上の図7～図9の従来のレベルシフト回路を特に用いない場合の問題を図6で簡単に説明する。

【0003】 図6においては601、603はP型MOSFETであり、602、604はN型MOSFETである。N型MOSFET602、604のソース電極は0電位である負極に接続されている。P型MOSFET601のソース電極は電位E1である第1の正極に接続されている。P型MOSFET603のソース電極は電位E2である第2の正極に接続されている。ここでE1<E2とする。入力信号605はMOSFET601、602からなる反転回路を駆動して反転入力信号606となり、MOSFET603、604からなる反転回路のゲートに入力する。さて以上の回路で出力端子607は0～E2の間の電位をとるが、出力端子607の電位を0にする場合にはMOSFET604をオン（ON）して、MOSFET603をオフ（OFF）するので反転入力信号606の電位は高い方がよいが、反転入力信号606の電位は0～E1の間にしかとれないので反転入力信号606の電位をE1とした場合でもMOSFET603のスレッショルド電圧をVTHとすれば E2-E1>VTH

の関係が成りたつとMOSFET603はオフしない。したがって出力端子607の電位は必ずしも0電位にはならないと同時に、MOSFET603、604を通して電位E2の第2の正極から電位0の負極への真直電流が流れつづけてしまう。つまり正常な動作が必ずしも保障できないとともに低消費電流をも特徴とする相補型MOS集積回路の長所を大きく損なってしまふ。

【0004】 レベルシフト回路は以上の様な問題点を除くために登場した回路であって図7の回路がP型MOSFET及びN型MOSFETを用いたいわゆる相補型回路のレベルシフト回路としては最も基本的な回路である。

【0005】 図7においては70、72、74はP型MOSFETであり、71、73、75はN型MOSFETである。N型MOSFET71、73、75のソース電極は0電位である負極に接続されている。P型MOSFET70のソース電極は電位E1である第1の正極に接続されている。P型MOSFET72、74のソース電極は電位E2である第2の正極に接続されている。また端子76より信号が入力し、信号77は信号76を反転した信号である。ここで信号76及び信号77は0～E1の間の電位で動作する。信号79はレベルシフト回路としての出力信号であり、信号78は信号79の反転した関係にある信号である。ここで信号79及び信号78は0～E2の間の電位で動作する。さて信号76がLow（以下負と略す）の信号である0電位の時、信号7

3

7はE1電位、信号79は0電位、信号78はE2電位であり、MOSFET70、72、75はオンしており、MOSFET71、73、74はオフしている。ここで信号76がHigh（以下正と略す）の信号であるE1電位をとるとMOSFET73はオンして信号78は0電位に向う。とともに信号77はMOSFET70、71からなる反転回路を経由するで0電位となってMOSFET75をオフさせる。MOSFET75はオフしMOSFET73はオンするのでMOSFET72はオフの方向へ、MOSFET74はオンの方向へ向うが、それによって信号79はE2電位の方向へ、信号78は0電位に向うのでMOSFET72は更にオフの方向へ、MOSFET74はオンの方向へと加速され、ついに信号76がE1電位で、信号77は0電位、信号79はE2電位、信号78は0電位であって、MOSFET70、72、75はオフ、MOSFET71、73、74はオンの状態に落ちつく。

【0006】次に信号76が再び0電位になるとMOSFET73はオフし、信号77はE1電位となってMOSFET75をオンさせる。MOSFET75はオンするので信号79は0電位に向かう。MOSFET73はオフし、MOSFET75はオンするのでMOSFET72はオンの方向へ、MOSFET74はオフの方向へ向うが、それによって信号79は0電位の方向へ、信号78はE2電位に向かうのでMOSFET72は更にオンの方向へ、MOSFET74はオフの方向へと加速され、ついに信号76が0電位、信号77はE1電位、信号79は0電位、信号78はE2電位であってMOSFET70、72、75はオン、MOSFET71、73、74はオフの状態に落ちつく。

【0007】以上の回路動作が良好に行なわれるのはソース電位が0のN型MOSFET71、73、75が0～E1の電位でゲートを制御され、ソース電位がE1電位のP型MOSFET70が0～E1の電位でゲートを制御され、ソース電位がE2電位のP型MOSFET72、74が0～E2の電位でゲートを制御されるからである。殊に図7の回路が図8の回路に比較して正常に動作する理由はMOSFET72、74のゲート電位が0～E2で制御される回路構成になっただけである。つまりすべてのMOSFETが完全にオン、オフするのに必要なゲート電位が供給されるからである。

【0008】図8の回路は図7の回路を若干、改良したものである。図8においてMOSFET80～85まで*

*は図7のMOSFET70～75までの構成と同じで、かつ順にそれぞれ対応しており、図8の回路が図7の回路と異なるのは抵抗810がMOSFET82と83の間に、抵抗811がMOSFET84と85の間にそれぞれ付加されたことである。抵抗810及び811を加えた理由は信号が変わり、状態が遷移する途中で流れる貫通電流を減少させるのが主な目的である。

【0009】図9の回路は図8の回路を更に改良したものである。図9においてMOSFET90～95までは図8のMOSFET80～85までの構成と同じで、かつ順にそれぞれ対応している。図9の回路が図8の回路と異なるのは図8の回路における抵抗810及び811を図9の回路においてはP型MOSFET910及び911にそれぞれ置き換えたことにある。なおMOSFET910のゲート電極は入力信号96に接続され、MOSFET911のゲート電極は反転入力信号97に接続されている。図8の回路における抵抗810、811は貫通電流を制限するものの出力信号89やその反転出力信号88がE2電位になるとはかたがって遅くすることもある。図9の回路においては抵抗の代わりにMOSFETであるので貫通電流を制限する場合にはオフに近い高抵抗となり、電位E2を出力信号99、あるいは反転出力信号98に流こむ場合にはオンして低抵抗になるといって使い分けられており、貫通電流を制限するとともに応答性が速くなっている。

【0010】以上が従来のレベルシフト回路の例であり、かつ順に改良の歴史でもあった。

【0011】

【発明が解決しようとする課題】さて、前述した従来の回路においてはより高速の応答性を得ることと消費電流の増加を抑えることの両立を図ることが難しいという問題点がある。例えば図7の従来の回路例で説明すると、図7においてP型MOSFET72と74のコンダクタンス定数 β を β_P 、スレッショルド電圧を V_{TP} とし、またN型MOSFET73と75の β を β_N 、スレッショルド電圧を V_{TN} をすれば入力信号76が正となってE1となり出力信号端子78が負の0電位となる場合には、信号切り替え時においてN型MOSFET73の駆動能力がP型MOSFET72の駆動能力を上まわる必要がある。したがって簡単化の為P型MOSFET72とN型MOSFET73が共に飽和領域で動作するとすれば

【0012】

【数1】

$$\frac{1}{2} \beta_N (E_1 - V_{TN})^2 \gg \frac{1}{2} \beta_P (E_2 - V_{TP})^2$$

【0013】の関係が必要となり

【0014】

【数2】

$$\frac{\beta_P}{\beta_N} \ll \frac{(E_1 - V_{TN})^2}{(E_2 - V_{TP})^2}$$

【0015】の関係式が得られる。例えば $E1=1.5$ V、 $E2=3$ V、 $VTP=VTN=0.5$ Vの場合では
【0016】
【数3】

$$\frac{\beta_P}{\beta_N} \ll \frac{(1.5-0.5)^2}{(3.0-0.5)^2} = 0.16$$

【0017】が得られる。実際には更に余裕設計を必要とするのもっと小さい値となる。この関係は対称性の為、P型MOSFET74とN型MOSFET75の関係においても同様であり、寄生静電容量が同一の値であるのでMOSFETの駆動能力で応答性が決まり、出力端子79から見た応答性はN型MOSFET75がオンする場合とP型MOSFET74がオンする場合では応答性において非常に差がでる。つまり立ち下がり速く、立ち上がりは非常に遅い。このとき立ち上りを速くする為にP型MOSFETの能力を高くすれば同時にN型MOSFETの能力も高くする必要があり、この信号の切り替わる際の短絡電流が膨大になって消費電流が増大するという問題があった。これは同じく従来の回路である図9の場合には条件が少し緩和されるがE1の電圧でE2のソース電位を持つP型MOSFETをオフすることは出来ないで本質的には同じ問題を有している。この様に応答速度を決める要因としては前記の寄生静電容量やMOSFETの駆動能力等があるがレベルシフト回路全体としてみた場合の最大の障害はP型側とN型側のMOSFETの不均衡にある。また前述した課題についてはサブミクロンの時代を迎え、100MHz以上の周波数に対応する必要性と、大規模ゲートにともないレベル変換を要する信号の本数が増大し、消費電力による発熱が大きな問題となる中で従来の回路の中ではもっとも良いと考えられる図9の回路でも対応できない状況となっている。

【0018】そこで本発明は前述した問題点を解決するもので、その目的とするところは消費電流を増大させることなく、より高い応答性のレベルシフト回路を提供することにある。

【0019】また同じ応答性ならばより低い消費電流ですむレベルシフト回路を提供することにある。

【0020】

【課題を解決するための手段】本発明の高速レベルシフト回路はa) 第1の極性の第1の電位E1と第1の極性の第2の電位E2と、第2の極性の基準電位0とを電源として有する半導体集積回路において、b) 基準電位0と電位E1との間で動作する入力信号端子と、基準電位0と電位E1との間で動作する前記入力信号端子の反転信号を作る反転回路と、ソース電極がE2の電源端子に

接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ(以下MOSFETと略す)と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくとも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0とE1との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0とE1との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたことからなるレベルシフト回路と、c) 前記レベルシフト回路の第1の出力信号端子と第2の出力信号端子を入力し、直前の状態を記憶したラッチ回路と信号を選択する選択回路とを内部に有し、高速の信号を選択出力する高速信号選択回路から構成されていることを特徴とする。

【0021】

【作用】本発明の上記の構成によれば前記レベルシフト回路の第1の出力信号端子、第2の出力信号端子は共に出力信号の立ち下がり速く、立ち上がり遅いが、互いに反転関係にある信号であるので、第1、第2の出力信号端子の応答性の違い立ち下がり信号を前記高速信号選択回路によって前状態の記憶をもとに選択し出力することにより、立ち上がり、立ち下がりの方の場合も高速の応答性を持つ高速レベルシフト回路が実現する。

【0022】

【実施例】図1は本発明の第1の実施例を示す回路図である。図1において破線101で囲まれた回路がレベルシフト回路であり、破線102で囲まれた回路が高速信号選択回路である。また一点鎖線103を境にして左側が正極の電源電位E1を電源とするE1系の回路であり、右側が正極の電源電位E2を電源とするE2系の回路である。但し、 $E1 < E2$ の関係がある。破線101の中にいて105、106はP型MOSFET、107、108はN型MOSFETである。P型MOSFET105と106のソース電極は正極の電位E2の電源端子に接続され、N型MOSFET107と108のソース電極は負極の電位0の電源端子に接続されている。P型MOSFET105とN型MOSFET107のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第2の出力信号端子111となっている。P型MOSFET106とN型MOSFET108のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第1の出力信号端子

7

110となっている。P型MOSFET105のゲート電極は第1の出力信号端子110に接続され、P型MOSFET106のゲート電極は第2の出力信号端子111に接続されている。N型MOSFET107のゲート電極はレベルシフト回路101としての入力信号端子109に接続され、N型MOSFET108のゲート電極は入力信号端子109の反転信号を作る反転回路（以下インバータ回路と称す）104の出力が接続される。以上のレベルシフト回路101の構成は従来回路で説明した図7の回路と全く同じであり、したがって動作も同じである。入力信号端子109に入力したクロック波形に対する動作を図3の(109)、(110)、(111)に示してある。図3のタイミングチャートにおいて(110)、(111)はそれぞれ第1出力信号端子110、第2出力信号端子111の動作波形であるが、共に立ち下りの応答は速く、立ち上りの波形は鈍っており、かつ応答は遅い。これは従来回路の課題で説明したようにN型MOSFET107、108に比較してP型MOSFET105、106の駆動能力を弱く設計する必要があるためである。

【0023】破線102の中において、112はアンドアンドノア回路(AND・AND・NOR回路)であり、113、114、116、117はインバータ回路であり、115はノア回路(NOR回路)であり、118はラッチ回路(LATCH回路)である。レベルシフト回路101の第1出力信号端子110はAND・AND・NOR回路112の第1ANDの第1ゲートに接続され、第2出力信号端子111はインバータ回路114を経てAND・AND・NOR回路112の第2ANDの第1ゲートに接続されている。AND・AND・NOR回路112の出力はインバータ回路113のゲートに接続され、インバータ回路113の出力は高速信号選択回路102としての出力端子119となっており、かつラッチ回路118のデータ入力(D)に接続されている。ラッチ回路118のマスター(M)出力はAND・AND・NOR回路112の第1ANDの第2ゲートに接続され、またインバータ回路117を経てAND・AND・NOR回路112の第2ANDの第2ゲートに接続されている。第1出力信号端子110と第2出力信号端子111はNOR回路115の第1ゲート、第2ゲートにそれぞれ接続され、NOR回路115の出力はインバータ回路116を経て、ラッチ回路118のクロックゲート(CL)に接続されている。なおラッチ回路118の具体的な回路構成例を図2に示す。図2において201、203はクロックゲートインバータであり、201はクロック信号(CL)が正の時、信号を伝え、203はクロック信号が負の時、信号を伝え、202はインバータ回路である。クロックゲートインバータ回路201のゲート204にデータ(D)信号が入力し、出力205はインバータ回路202のゲートに接続され、

8

インバータ回路202の出力206はクロックゲートインバータ回路203のゲートに接続され、クロックゲートインバータ回路203の出力はクロックゲートインバータ回路201の出力205と接続されている。このときインバータ回路202の出力206がラッチ回路としてのマスター(M)出力信号となっている。このときクロック(CL)信号が正の時、データ(D)信号が入力し、クロック信号が負の時、前状態のデータがインバータ回路202とクロックゲートインバータ回路203の間で保持される。

【0024】さてこのとき高速信号選択回路102の動作を次に説明する。前述したようにレベルシフト回路101の第1出力信号110と第2出力信号111の波形は図3の(110)と(111)に示すように立ち下りの応答は速く、立ち上りが遅い。クロックの入力信号波形(109)に対して素早く応答するには(110)、(111)のそれぞれの応答の速い立ち下りの信号を利用すれば、E1系のクロック信号に対してE2系の出力信号を応答性良く変換したことになる。クロックの変化の前状態が負の時(111)の信号は素早く応答しており、正の時(110)の信号が素早く応答しているのが図3のタイミングチャートからわかる。したがって前状態を記憶して、それに応じて(110)、(111)の信号を振り分けたい。この前状態を記憶しているのがラッチ回路118であり、振り分けるのがラッチ回路118のMの信号、及びインバータ回路117であり、かつ選択合成しているのが、AND・AND・NOR回路112である。なおNOR回路115及びインバータ回路116でラッチ回路118のデータの取り込みのタイミングを調整している。これは出力端子119の信号が変化した余端にラッチ回路118のMの信号、及びインバータ回路117の選択振り分け信号を変えてしまうという動作である。

【0025】以上により、レベルシフト回路101の第1出力端子110、及び第2出力端子111の信号はどちらも立ち下りが速く、立ち上りが遅い信号であるが、高速信号選択回路102を通ることにより、立ち下りも立ち上がりも共に高速で応答した信号が出力端子119から得られる。以上の様子を示したのが図3のタイミングチャートである。以上により、レベルシフト回路101と高速信号選択回路102を組み合わせた本発明の高速レベルシフト回路はE1系の信号をE2系の信号に高速にレベル変換できることがわかる。以上、図1の回路で本発明の一実施例を説明したが、本発明は図1の回路のみに限らない。例えば図4の回路は図1におけるレベルシフト回路101の他の例を示すものであり、図4においてインバータ回路404、MOSFET405、406、407、408はそれぞれ図1におけるインバータ回路104、MOSFET105、106、107、108に順に対応しており、図4のP型MOS

9

ET413、414が新たに付け加えられたものである。図4においてP型MOSFET413、414は電源E2とP型MOSFET405、406の間にそれぞれ挿入され、MOSFET413のゲート電極は入力信号端子409に接続され、MOSFET414ゲート電極は入力信号端子409の信号を反転するインバート回路404の出力に接続されている。以上の図4の回路は従来の回路であげた図9の回路とMOSFETの順序が変更されているのみで本質的に同じ動作をする。

【0026】またレベルシフト回路部としては図4の回路のみならず従来の回路例としてあげた図8、図9の回路でも良い。また図1において高速信号選択回路102も本質的には単なる選択回路であるので、この回路のみならず同等の回路は多数存在する。例えば図5の様な回路でも良い。

【0027】また、以上のレベル変換において負極が0電位で、E1、E2が正極の2電源の場合について説明したが、正極が0電位、-E1、-E2が負極の2電源の場合でもP型MOSFET、N型MOSFETを逆の構成にすれば同様の回路ができる。

【0028】

【発明の効果】以上、述べたように本発明によれば立ち下がり速く、立ち上がりは遅い出力信号を持つレベルシフト回路の2本の信号を高速信号選択回路で速い方を選択して出力するので立ち下がりも立ち上がりも共に高速の応答性を持つ高速レベルシフト回路が提供できるという効果がある。

【0029】また、このとき従来の方式のレベルシフト回路を用いているので低い消費電流を保ったまま応答性を高く出来るといった効果がある。

【0030】また応答性を一定にすれば、より低い消費電流のレベルシフト回路を提供できるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す回路図である。

【図2】 本発明の図1の回路図で用いられているラッチ回路の具体的な構成例を示す回路図である。

【図3】 本発明の図1の回路の動作を示すタイミングチャート図である。

10

【図4】 本発明の回路の中で用いられるレベルシフト回路の他の構成例を示す回路図である。

【図5】 本発明の回路の中で用いられる高速信号選択回路の他の構成例を示す回路図である。

【図6】 レベルシフト回路を用いなくても異なった電源系の信号を伝える場合を示した回路図である。

【図7】 従来のレベルシフト回路の第1の例を示す回路図である。

【図8】 従来のレベルシフト回路の第2の例を示す回路図である。

【図9】 従来のレベルシフト回路の第3の例を示す回路図である。

【符号の説明】

70、72、74、80、82、84、90、92、94、105、106、405、406、413、414、601、603、910、911・・・P型MOSFET

71、73、75、81、83、85、91、93、95、107、108、407、408、602、604・・・N型MOSFET

20

76、78、79、86、88、89、96、98、99、109、110、111、119、409、410、411、510、511、519、605、607・・・素子

101・・・レベルシフト回路

102・・・高速信号選択回路

103・・・E1系とE2系の電源の境界線

104、113、114、116、117、202、404、514、517、520・・・インバート回路

30

112、512・・・アンド・アンド・ノア回路

115・・・ノア回路

118、518・・・ラッチ回路

201、203・・・クロックゲートインバート回路

204・・・ラッチ回路のD信号

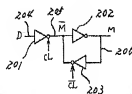
205・・・ラッチ回路のMの反転信号

206・・・ラッチ回路のM信号

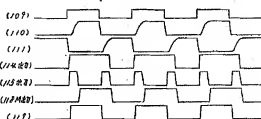
515・・・ナンド回路

810、811・・・抵抗

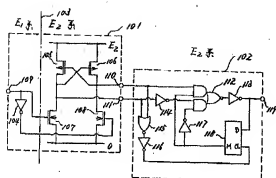
【図2】



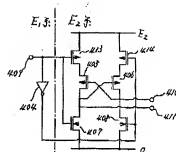
【図3】



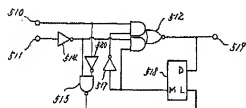
【図1】



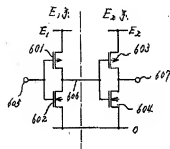
【図4】



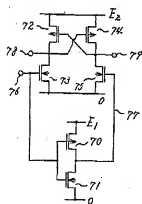
【図5】



【図6】



【図7】



【図8】

